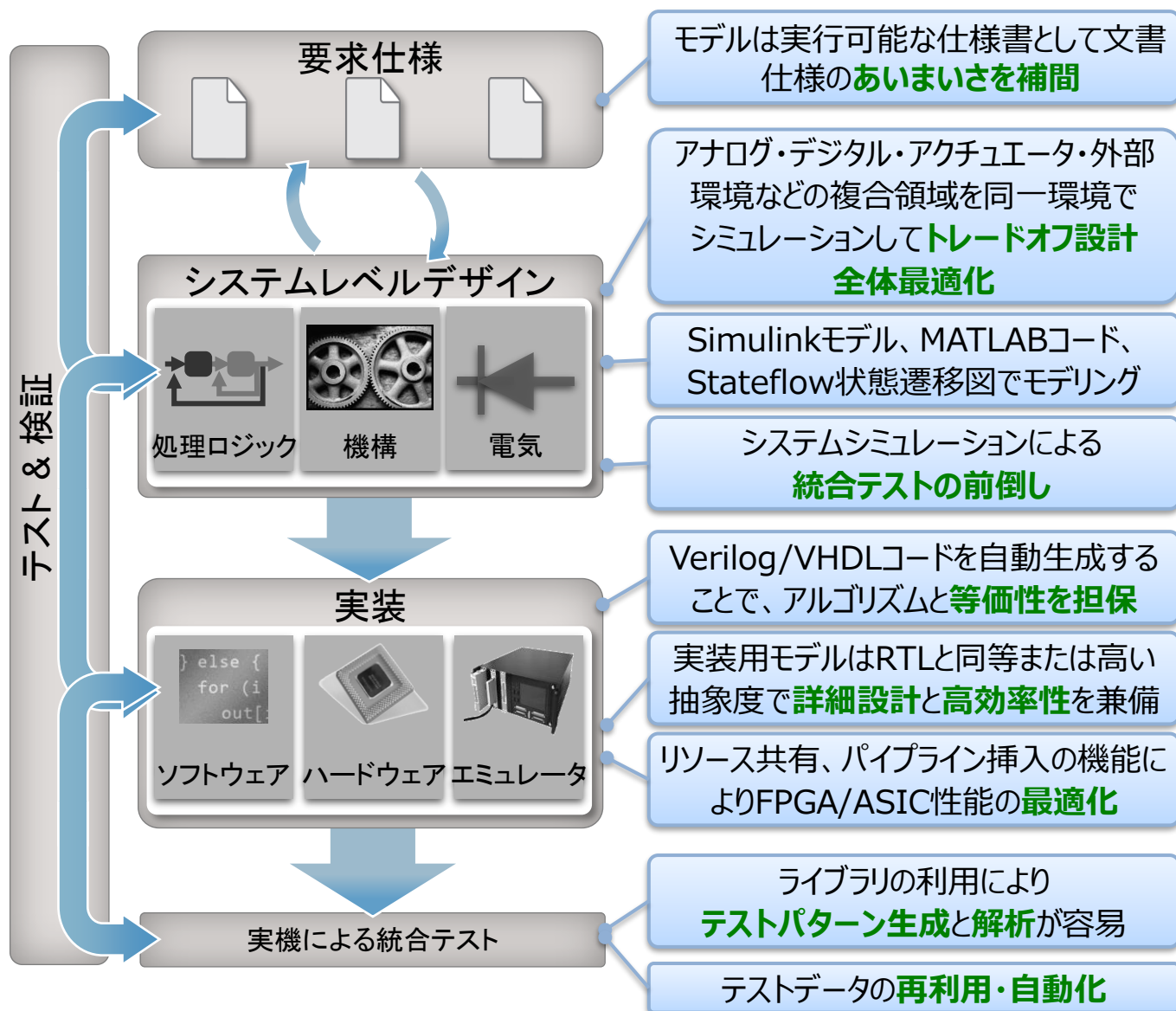


モデルベースデザインによるFPGA/ASIC開発

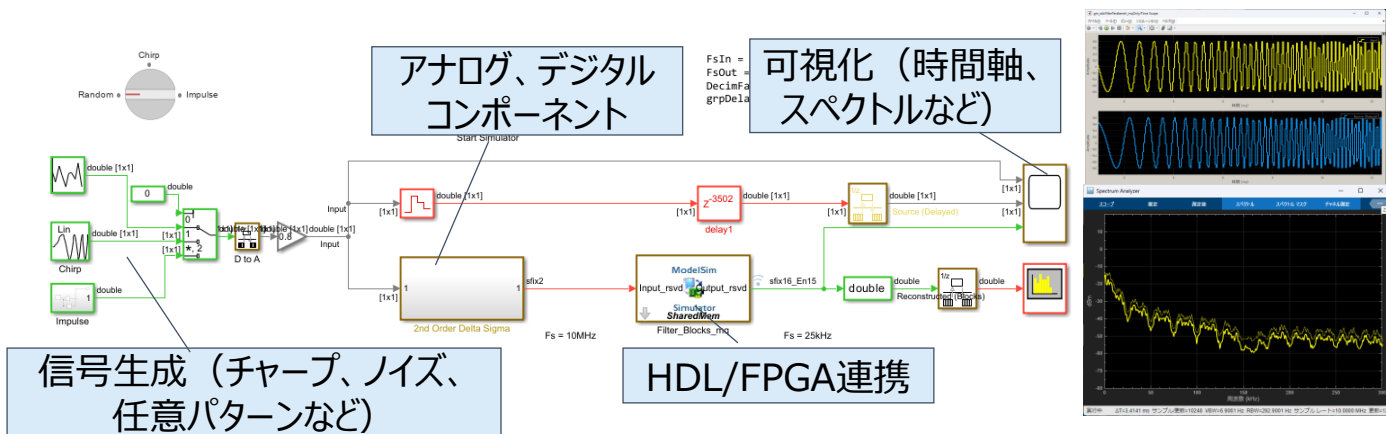
従来のRTLでのFPGA/ASIC開発では、アルゴリズム開発の情報を紙ベースの仕様書で伝達して、煩雑なHDLコードで書き直すため、度重なる設計エラーの発生や仕様どおりの性能が得られないことにより手戻りが発生し、設計効率を悪化させます。

HDL Coderを使った設計では、アルゴリズム開発用モデルをリファインしてFPGA/ASIC実装用モデルを作成します。同一環境上で作業を行うため、継続的に等価性検証を実施することができます。FPGA/ASIC実装用モデルからは、国内標準のコーディング規約に準拠した、アルゴリズムと等価で可読性の良いVHDL/Verilogコードが生成されます。



HDLおよびFPGAの検証

Simulinkモデルでは複雑なテスト信号や期待値を作成することが簡単です。HDL Verifierを使うと、可視化や解析機能に優れたテストベンチをHDLコードやFPGAの検証に再利用できます。



HDLシミュレーション

SimulinkモデルとHDLシミュレータ※1が連携して動作するテストベンチで手書きHDLコードの検証を行うことができます。CosimWizardで手書きHDLコードを取り込み、コシミュレーションを行います。

FPGA-in-the-Loop

FPGAを使用したテストベンチを作成します。コンパイル時のエラー検出、FPGAに処理をオフロードすることで、検証時間のアクセラレーションに効果があります。

AXI Manager

手書きHDLにこのIPを追加挿入することで、PCからAXI4バスに接続されたレジスタやDDRメモリの読み取り、書き込みアクセスが可能となります。FPGAのリアルタイムデバッグが可能です。

DPI-C生成

Simulinkリファレンスモデルから、SystemVerilogとCコードによる、DPI-Cテストコンポーネントまたはテストベンチを生成します。UVMに準拠したテストコンポーネント生成にも対応しています。

※1: ModelSim/Questas, Xcelium, VCS, Vivado Simulatorに対応

信号処理アルゴリズムのFPGA実装デモ

モデルベースデザインを用いてアルゴリズムの設計からFPGA実装・検証を効率的に進めることができます。一例として、信号処理アルゴリズムの実装デモを紹介します。

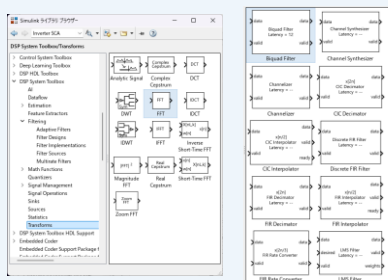
ゲルツェルアルゴリズムによる離散フーリエ変換の設計

アルゴリズムモデル設計



goertzel

2次 Goertzel アルゴリズムを使用した離散時間フーリエ変換
<https://jp.mathworks.com/help/signal/ref/goertzel.html>



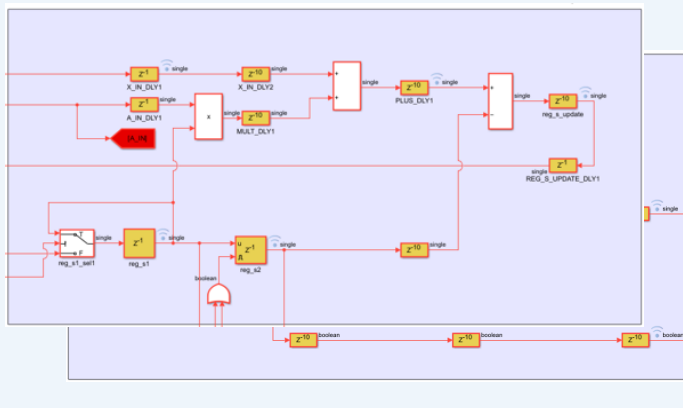
MATLABやSimulinkを用いて
アルゴリズムを設計・検証

+



Copilotを併用

FPGA実装モデル設計 (ハードウェア向け最適化)



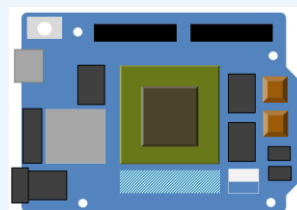
HDLコード生成

(VHDL/Verilog/SystemVerilog)

Agilex5™ を搭載したSoM上への実装とMATLABとの連携動作



JTAG/
Ethernet



MATLABからAXIバスを介して
レジスタの制御 (Read/Write)

生成コードとAXI Manager IPコアの
組み込みを行い、コンパイル & 実機実装

関連資料やサイト

FPGA/ASIC実装ツール資料（技術コンテンツや役立つリンクをご紹介します）

<https://content.mathworks.com/viewer/61c3fce10d1505ac35cc749b>

短縮URL：<https://x.gd/vl3fF>

- ◆ 製品紹介資料
- ◆ ユーザ事例
- ◆ 使いこなしのためのガイドライン



Qiita記事

- ◆ FPGAオンボードメモリのデバッグ
～テストパターン生成/表示画面のキャプチャ～
<https://qiita.com/SacredTubes/items/96f0b41f900c6d556224>
短縮URL：<https://x.gd/NKfXS>
- ◆ MATLABからコントロールできるFPGAボード信号発生器の作成
<https://qiita.com/SacredTubes/items/8ac3ba4eee3d3e4ebbc2>
短縮URL：<https://x.gd/pAwKP>



ソリューションページ

FPGA、ASIC、および SoC 開発向け MATLAB

ワークフローの自動化 — アルゴリズムの開発からハードウェアの設計および検証まで

- ◆ デジタル、アナログ、およびソフトウェアを高い抽象度でモデル化およびシミュレーション
- ◆ 自動ガイダンスを用いて固定小数点に変換
- ◆ メモリ、バス、および I/O をモデル化してハードウェア アーキテクチャおよびソフトウェア アーキテクチャを解析
- ◆ Simulink のテストベンチにより HDL シミュレータまたはFPGAのロジックを検証

<https://jp.mathworks.com/solutions/fpga-asic-soc-development.html>



ローム社ユーザ事例：IC開発効率を向上

- ◆ DPI-Cモデルを生成して、Cadence環境でアナログ-デジタルシステムシミュレーションにより検証
- ◆ FPGA-in-the-Loopモデルを顧客に提供してICの評価を実施することで、IPを保護

<https://jp.mathworks.com/company/technical-articles/improving-the-efficiency-of-ic-development-with-model-based-design.html>

短縮URL：<https://x.gd/nty14>

